

Rec'd PCT/PTO SEP 2004

日本国特許庁
JAPAN PATENT OFFICE

10/509629

JP 03/08509

REC'D
WIPO

5 JUL 2003

03.07.03

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月11日

出願番号

Application Number:

特願2002-202960

[ST.10/C]:

[JP2002-202960]

出願人

Applicant(s):

シャープ株式会社

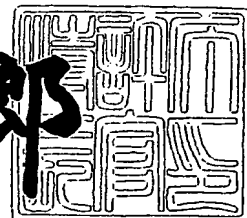
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043098

【書類名】 特許願
 【整理番号】 02J01922
 【提出日】 平成14年 7月11日
 【あて先】 特許庁長官 及川 耕造 殿
 【国際特許分類】 H01L 31/10
 H01L 27/146

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 和泉 良弘

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プールの要否】 要

【書類名】 明細書

【発明の名称】 薄膜フォトトランジスタ及びそれを用いたアクティブマトリクス基板並びにそれを用いた画像読み取り装置。

【特許請求の範囲】

【請求項1】

ゲート電極上に、ゲート絶縁膜と感光性半導体膜とが順次形成され、該感光性半導体膜上に、端部同士が所定間隔で離間したソース電極及びドレイン電極が形成された薄膜フォトトランジスタにおいて、

上記ソース電極及び／またはドレイン電極は、上記ゲート電極と平面的に重畳する重畳領域を有し、該重畳領域の少なくとも一部の領域が透光性を有することを特徴とする薄膜フォトトランジスタ。

【請求項2】

上記ソース電極及び／またはドレイン電極の透光性領域は、透明導電酸化膜によって形成されていることを特徴とする請求項1に記載の薄膜フォトトランジスタ。

【請求項3】

上記ソース電極及び／またはドレイン電極は、金属膜で形成され、

上記透光性領域が、上記金属膜に開口部を設けることにより形成されていることを特徴とする請求項1に記載の薄膜フォトトランジスタ。

【請求項4】

格子状の電気配線と、該格子毎に設けられ、該電気配線に接続されたスイッチング用薄膜トランジスタと、該各スイッチング用薄膜トランジスタに接続されたフォトセンサ用薄膜トランジスタとを備えたアクティブマトリクス基板において、

上記フォトセンサ用薄膜トランジスタに、請求項1ないし3の何れか1項に記載の薄膜フォトトランジスタが使用されていることを特徴とするアクティブマトリクス基板。

【請求項5】

格子状の電気配線と、該格子毎に設けられ、該電気配線に接続された薄膜トラ

ンジスタとを備え、該薄膜トランジスタがスイッチング機能とフォトセンサ機能とを兼用しているアクティブマトリクス基板において、

上記薄膜トランジスタに、請求項 1 ないし 3 の何れか 1 項に記載の薄膜フォトトランジスタが使用されていることを特徴とするアクティブマトリクス基板。

【請求項 6】

上記薄膜フォトトランジスタのドレイン電極に電荷蓄積容量が接続されていることを特徴とする請求項 4 または 5 記載のアクティブマトリクス基板。

【請求項 7】

上記格子状の電気配線のうち、上記薄膜フォトトランジスタのソース電極に接続されている配線は、透明導電酸化膜から構成され、且つ、上記ソース電極と同じ層に形成されていることを特徴とする請求項 4 または 5 記載のアクティブマトリクス基板。

【請求項 8】

上記格子状の電気配線のうち、上記薄膜フォトトランジスタのソース電極に接続されている配線は、透明導電酸化膜と金属膜の積層膜から構成され、且つ、該透明導電酸化膜が、上記ソース電極と同じ層に形成されていることを特徴とする請求項 4 または 5 記載のアクティブマトリクス基板。

【請求項 9】

2 次元画像を読み取る画像読み取り装置において、

2 次元画像を読み取る手段として、請求項 4 ないし 8 の何れか 1 項に記載のアクティブマトリクス基板が用いられていることを特徴とする画像読み取り装置。

【請求項 10】

上記アクティブマトリクス基板の画像読み取り面とは反対側の面に、該アクティブマトリクス基板に対して光照射を行なう光照射手段が設けられていることを特徴とする請求項 9 記載の画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、原稿、写真などの画像を読み取ることができる画像読み取り装置に

関するもので、詳しくは、薄膜フォトトランジスタを有するアクティブマトリクス基板を用いたフラットパネル型の画像読み取り装置に関する。

【0002】

【従来の技術】

近年、原稿や写真を読み取る密着型の画像読み取り装置として、ライン状（X方向）に画素配列されたラインセンサ（CCDラインセンサなど）を用いて、ラインスキャン（Y方向）を行なうことで2次元画像を読み取ることができるフラットベッドスキャナが普及している。

【0003】

ところが、このようなラインセンサを用いたスキャナは、2次元画像を読み取るためのメカニカルなスキャン機構を備えているために、薄型軽量化に限界があり、読み取り速度を向上させることも困難であるといった課題を抱えている。

【0004】

そこで、画像読み取り装置の薄型軽量化、読み取り速度の向上を目的として、光検出素子（フォトダイオード、フォトトランジスタなど）とスイッチング素子（薄膜トランジスタなど）を2次元状に配列させたアクティブマトリクス型の二次元イメージセンサ（画像読み取り装置）が開発されている。

【0005】

この方法によれば、メカニカルなスキャン機構を用いずに2次元画像を読み取ることができるために、従来のCCDラインセンサを用いた「フラットベッドスキャナ」に比べて、厚み、重さ、読み取り速度をそれぞれ1/10以下にすることができ、使い勝手の良い画像読み取り装置を実現することができる。

【0006】

上記のようなアクティブマトリクス型の画像読み取り装置として、例えば、実開平2-8055号公報に開示されているアクティブマトリクス型画像読み取り装置がある。

【0007】

従来のアクティブマトリクス型画像読み取り装置に使用されるアクティブマトリクスアレイ（アクティブマトリクス基板）は、図12に示すように、XYマト

リクス状に画素が配列されており、各画素には、光検出用の薄膜トランジスタ（光センサ用TFTと称する）とスイッチング用の薄膜トランジスタ（スイッチング用TFTと称する）、及び画素容量（電荷蓄積容量）が備えられている。

【0008】

上記の各画素の光センサ用TFTは、原稿面などの被写体の白／黒（明／暗）によって明電流 I_p の大きさが変化するため、この明電流 I_p の差によって各画素の蓄積容量に蓄積される（又は蓄積容量から放電される）電荷量に差が生じる。そして、その蓄積容量の電荷量分布（面内分布）を、スイッチング用TFTで順次読み出すことで、被写体の2次元情報を得ることができる仕組みになっている。

【0009】

このようなアクティブマトリクス型画像読み取り装置では、光センサ用TFTの性能を向上させることで、微弱な参照光でも被写体を読み取ることが可能になる。すなわち、バックライトが低照度であっても、光センサ用TFTの明電流値を十分に確保することができるために低消費電力化が実現できる。

【0010】

また、光照射部（図示せず）において、蓄積容量の充放電に伴う時定数を小さくするために高速読み取りが可能になる。このため、従来、光センサ用TFTの明電流と暗電流の比、すなわち光感度（ I_p / I_d ）が大きくなるように改善する取り組みがなされている。

【0011】

例えば、特開平5-243574号公報（従来技術1）では、光センサ用TFTとスイッチング用TFTのゲート絶縁膜の厚みを異ならせることで、光照射時の明電流 I_p を増加させて光感度（ I_p / I_d ）を向上させる方法が開示されている。例えば、図13に示すように、光センサ用TFTのゲート絶縁膜の厚み H_1 を、第1ゲート絶縁膜と第2ゲート絶縁膜とを合わせた厚みとし、スイッチング用TFTのゲート絶縁膜の厚み H_2 を、第2ゲート絶縁膜の厚みのみとすることで、 H_1 と H_2 との関係を、 $H_1 > H_2$ にして、光センサ用TFTとスイッチング用TFTのゲート絶縁膜の厚みを異ならせている。

【0012】

また、特開平2-215168号公報、特開平6-132510号公報（従来技術2）では、光センサ用TFTのゲート電極を複数設けることで、ゲート電圧の影響の小さい領域で光を吸収させ、低い暗電流 I_d と高い明電流 I_p の比、即ち、光感度（ I_p/I_d ）を向上させる手法が開示されている。例えば、図14に示すように、光センサ用TFTにおいて、2つのゲート電極を設けることにより、ドレイン電極とソース電極との間に形成されるコンタクトホールに対応する非晶質シリコン層に光を吸収させる領域Aを形成すれば、低い暗電流 I_d と高い明電流 I_p の比、即ち、光感度（ I_p/I_d ）を向上できる。

【0013】

【発明が解決しようとする課題】

ところが、上記した従来技術1および2においては、それぞれ光感度（ I_p/I_d ）の向上を図ることができるものの、以下に示す問題点を有している。

【0014】

従来技術1の場合、スイッチング用TFTと光センサ用TFTのゲート絶縁膜の厚みを異ならせるために、TFT製造プロセスが複雑になるといった問題を有する。

【0015】

また、従来技術2の場合、ゲート電極が複数本必要であり、1画素あたりの配線レイアウトが複雑になり高精細化が困難になるといった問題を有する。

【0016】

したがって、本発明は、より単純な素子構造で、光感度（ I_p/I_d ）の向上が実現できる光センサ用TFTを備えたアクティブマトリクス基板を提供し、さらに、低消費電力（バックライトが低照度）、及び高速読み取りが可能な高性能な画像読み取り装置を実現することを目標とする。

【0017】

それゆえ、本願発明は、上記の各問題点に鑑みなされたものであって、その目的は、製造プロセスが複雑にならず、配線レイアウトも複雑にならないで、光感度（ I_p/I_d ）の向上を図ることができる光センサ用TFTとなり得る薄膜フ

オトランジスタおよびそれを用いたアクティブマトリクス基板並びにそれを用いた画像読み取り装置を提供することにある。

【0018】

【課題を解決するための手段】

上記の課題を解決するために、本発明の薄膜フォトランジスタは、ゲート電極上に、ゲート絶縁膜と感光性半導体膜とが順次形成され、該感光性半導体膜上に、端部同士が所定間隔で離間したソース電極及びドレイン電極が形成された薄膜フォトランジスタにおいて、上記ソース電極及び／またはドレイン電極は、上記ゲート電極と平面的に重畳する重畳領域を有し、該重畳領域の少なくとも一部の領域が透光性を有することを特徴としている。

【0019】

上記の構成によれば、ソース電極及び／またはドレイン電極のゲート電極と平面的に重畳する重畳領域の少なくとも一部の領域を透光性とすることで、ゲート電極上の光照射量が増加する。つまり、感光性半導体膜には、ソース電極とドレイン電極との端部同士に形成される隙間から照射される光に加えて、ソース電極とドレイン電極の透光性を有する領域を通しての光が照射されることになる。

【0020】

これにより、明電流 (I_p) をアップさせることができるので、暗電流 (I_d) との比で示される光感度 (I_p / I_d) の向上を図ることができる。

【0021】

しかも、上記構成では、ソース電極及びドレイン電極の一部が透光性を有するように形成されているだけなので、複雑な配線も必要とせず、また、既存の薄膜トランジスタの製造プロセスをそのまま使用することが可能となる。

【0022】

よって、上記構成の薄膜フォトランジスタによれば、製造プロセスが複雑にならず、配線レイアウトも複雑にならないで、光感度 (I_p / I_d) の向上を図ることができる。

【0023】

例えば、薄膜フォトランジスタの大きさを変えなければ、上述のように光感

度の向上を図ることができるので、光照射された際の蓄積容量の充電（又は放電）に関わる時定数を短くすることができるので、読み取りのスピードアップを図ることができる。

【0024】

また、従来と同じ光感度でよい場合には、薄膜フォトトランジスタ自体を小さくすることが可能となるので、例えば、該薄膜フォトトランジスタを用いたアクティブマトリクス基板の画素密度を大きくすることができる。つまり、アクティブマトリクス基板の高精細化を可能とすることができる。

【0025】

また、上記ソース電極及び／またはドレイン電極の透光性領域を、透明導電酸化膜によって形成してもよい。

【0026】

上記の透明導電酸化膜としては、例えばITO（Indium Tin Oxide）、IZO（Indium Zinc Oxide）、IGO（Indium Germanic Oxide）等の既存の透明導電酸化膜を使用することができる。これにより、ソース電極及びドレイン電極の透光性領域は、複雑な製造工程を用いるまでもなく、既存の透明導電酸化膜によって簡単に形成することが可能となる。

【0027】

しかも、ソース電極に繋がるソース配線及び／またはドレイン電極に繋がるドレイン配線を透明導電酸化膜によって形成することにより、薄膜フォトトランジスタの製造プロセスにおいて、ソース配線及びドレイン配線の材料を同じもので形成できるので、さらに、簡単に透光性領域を形成することができる。

【0028】

また、上記ソース電極及び／またはドレイン電極が、金属膜で形成され、上記透光性領域を、上記金属膜に開口部を設けることにより形成するようにしてもよい。

【0029】

この場合、ソース電極及び／またはドレイン電極が金属膜で形成されていることで、ソース電極も繋がるソース配線及び／またはドレイン電極に繋がるドレイ

ン配線を同じ金属膜で形成すれば、既存の薄膜トランジスタの製造プロセスをそのまま使用することができる。

【0030】

また、金属膜に設ける開口部の大きさは、薄膜フォトトランジスタが必要とする光感度、すなわち明電流の大きさとなるように設定すればよい。

【0031】

上記の薄膜フォトトランジスタを用いたアクティブマトリクス基板としては、以下の2種類のアクティブマトリクス基板が考えられる。

【0032】

すなわち、本発明のアクティブマトリクス基板は、上記の問題を解決するために、格子状の電気配線と、該格子毎に設けられ、該電気配線に接続されたスイッチング用薄膜トランジスタと、該各スイッチング用薄膜トランジスタに接続されたフォトセンサ用薄膜トランジスタとを備えたアクティブマトリクス基板において、上記フォトセンサ用薄膜トランジスタに、上述の薄膜フォトトランジスタが使用されていることを特徴としている。

【0033】

また、本発明のアクティブマトリクス基板は、上記の課題を解決するために、格子状の電気配線と、該格子毎に設けられ、該電気配線に接続された薄膜トランジスタを備え、該薄膜トランジスタがスイッチング機能とフォトセンサ機能とを兼用しているアクティブマトリクス基板において、上記薄膜トランジスタに、上述の薄膜フォトトランジスタが使用されていることを特徴としている。

【0034】

上記の構成によれば、薄膜トランジスタにおける明電流をアップさせることができるので、該薄膜トランジスタの明電流 (I_p) と暗電流 (I_d) との比で示される光感度 (I_p / I_d) を向上させることができる。

【0035】

上記薄膜トランジスタは、明電流をアップさせるために、ソース電極及び／またはドレイン電極の少なくとも一部の領域が透光性を有するようになっているだけなので、該フォトセンサ用薄膜トランジスタの配線パターン及び製造プロセス

は複雑にならない。

【0036】

したがって、このフォトセンサ用薄膜トランジスタを用いれば、簡単な構成で、光感度をアップさせることのできるアクティブマトリクス基板を提供することが可能となる。

【0037】

上記薄膜フォトトランジスタのドレイン電極に電荷蓄積容量が接続されているもよい。

【0038】

この場合、薄膜フォトトランジスタの光感度が向上しているので、光照射された際の蓄積容量の充電（又は放電）に関わる時定数を短くすることができるので、読み取りのスピードアップを図ることができる。

【0039】

また、上記薄膜フォトトランジスタは、光感度を従来と同じにした場合、サイズを小さくすることができるので、アクティブマトリクス基板の大きさを変えなければ、この薄膜トランジスタのドレイン電極に接続されている電荷蓄積容量のサイズを大きくすることができる。

【0040】

これにより、電荷蓄積容量に蓄積される電荷量が多くなるので、該電荷蓄積容量から読み出した電荷を増幅させるためのアンプに、高精度のアンプを用いる必要がなくなる。つまり、電荷蓄積容量のサイズを大きくすることで、該電荷蓄積容量から読み出される信号量（電荷量）を増加させることができるので、アンプからの信号のS/Nが向上する。従って、性能の低いアンプでも十分に使用することが可能となる。

【0041】

したがって、上記構成のアクティブマトリクス基板を画像読み取り装置に使用した場合に、電荷蓄積容量から読み出した電荷を増幅させるためのアンプとして安価な精度の低いものを使用することが可能となるので、該画像読み取り装置の製造にかかる費用を低減することが可能となる。

【0042】

上記アクティブマトリクス基板の格子状の電気配線のうち、上記薄膜フォトトランジスタのソース電極に接続されている配線を、透明導電酸化膜で構成し、且つ、上記ソース電極と同じ層に形成してもよい。

【0043】

この場合、透光性を有するソース電極と、該ソース電極に接続されているソース配線を同時に形成することができるので、製造プロセスの簡略化を図ることができる。

【0044】

また、上記格子状の電気配線のうち、上記薄膜フォトトランジスタのソース電極に接続されている配線は、透明導電酸化膜と金属膜の積層膜から構成され、且つ、上記透明導電酸化膜を、上記ソース電極と同じ層に形成してもよい。

【0045】

この場合、ソース配線自体は金属膜で形成されていることになるので、ソース配線自体が透明導電酸化膜で形成されている場合よりも配線抵抗を低くすることが可能となり、この結果、アクティブマトリクス基板の大型化、高精細化にも対応することが可能となる。

【0046】

また、上記アクティブマトリクス基板は、2次元画像を読み取る画像読み取り装置に使用してもよい。

【0047】

この場合、画像読み取り装置は、本発明のアクティブマトリクス基板を備えたことになるので、画像読み取り感度の向上を図ることができる。

【0048】

上記アクティブマトリクス基板の画像読み取り面とは反対側の面に、該アクティブマトリクス基板に対して光照射を行なう光照射手段を設けてもよい。

【0049】

この場合、アクティブマトリクス基板に備えられている薄膜フォトトランジスタは光感度がよいので、画像読み取りに必要な上記光照射手段による光照度を低

くすることができる。つまり、光照射手段の消費電力を低減することができ、この結果、画像読み取り装置全体の消費電力の低減を図ることができる。

【0050】

【発明の実施の形態】

〔実施の形態1〕

本発明の一実施の形態について説明すれば、以下の通りである。なお、本実施の形態では、画像読み取り装置として、2次元イメージセンサについて説明する。

【0051】

本実施の形態に係る2次元イメージセンサについて、図2を参照しながら以下に説明する。図2は、2次元イメージセンサの概略斜視図を示す。

【0052】

上記2次元イメージセンサは、図2に示すように、センサ基板となるアクティブマトリクス基板1と、該アクティブマトリクス基板1を駆動するための、該複数の駆動IC2…からなる駆動回路4および複数の読み出しIC3…からなる読み出し回路5と、該アクティブマトリクス基板1を背面から光を照射する光照射手段としてのバックライトユニット6とで構成されている。

【0053】

上記アクティブマトリクス基板1の原稿載置面側には、該アクティブマトリクス基板1の表面を保護するための透明な保護膜7が形成されている。

【0054】

上記アクティブマトリクス基板1の詳細について、図3を参照しながら以下に説明する。図3は、アクティブマトリクス基板の概略ブロック図を示す。

【0055】

上記アクティブマトリクス基板1は、図13に示した従来からあるアクティブマトリクス型画像読み取り装置の回路構成と同じである。

【0056】

すなわち、上記アクティブマトリクス基板1は、図13に示すように、駆動回路4から延びる電気配線としてのゲート配線G1～Gnと読み出し回路5から延

びる電気配線としてのソース配線D1～DmとがXYマトリクス（格子状）に配列されており、各格子によって画素が区画されている。各画素には、スイッチング用の薄膜トランジスタ（スイッチング用TF Tと称する）8、薄膜フォトトランジスタとしての光検出用の薄膜トランジスタ（光センサ用TF Tと称する）9、及び電荷蓄積容量としての画素容量10が各々備えられている。

【0057】

上記アクティブマトリクス基板1の基本的な動作原理を以下に説明する。

【0058】

各画素の光センサ用TF T9は、暗電流 I_d を低く抑えるように所定のバイアス（ V_{ss} ）を印加してオフ状態に設定しておく。この状態で、光センサ用TF T9に外部から光が入射すると、チャネル部に光励起キャリアが生成され、該光センサ用TF T9の抵抗値が低下する。この光センサ用TF T9の抵抗値変化は、該光センサ用TF T9のソース・ドレイン間を流れる電流（明電流 I_p ）の差、すなわち、各光センサ用TF T9を流れる電荷量の差として現れる。その結果、各光センサ用TF T9に接続されている画素容量10の充電量（あるいは放電量）に差を生じさせることになる。

【0059】

そこで、各画素に設けられているスイッチング用TF T8を線順次にオン状態となるよう駆動することで、各々の画素容量10に蓄積されている電荷量を、ソース配線D1～Dmを介して読み出すことができる。この結果、各画素容量10の電荷量の面分布情報を得ることができ、これよりアクティブマトリクス基板1に入射した光による画像の面分布情報を得ることができる。

【0060】

このような画素を備えたアクティブマトリクス基板1の表面に、図2に示すように、保護膜7（あるいは保護基板）を設け、アクティブマトリクス基板1の裏面に面状発光体（LEDや冷陰極管から構成されるバックライト）からなるバックライトユニット6を設置し、アクティブマトリクス基板1の表面（保護膜7側）に写真などの被写体原稿を密着させることで、二次元の画像読み取り装置としての2次元イメージセンサを実現することができる。

【0061】

上記2次元イメージセンサの動作について図4を参照しながら以下に説明する。図4は、2次元イメージセンサに原稿Dを載置したときの原稿読み取りの状態を示す。この図4では、説明の便宜上、スイッチング用TFT8を省略している。

【0062】

上記2次元イメージセンサでは、図4に示すように、バックライトユニット6から出射された光は、アクティブマトリクス基板1の開口部分を透過し、被写体である原稿Dの原稿面を照射する。原稿面に到達した光は、該原稿面の画像情報に応じて反射し、この反射光がアクティブマトリクス基板1の光センサ用TFT9に到達する仕組みになっている。

【0063】

このようなアクティブマトリクス基板1を用いた2次元イメージセンサは、従来のラインセンサを用いたスキャナに比べると、2次元画像を読み取るためのメカニカルなスキャン機構を備えていないために、薄型軽量化及び読み取り速度の向上が可能となる。

【0064】

続いて、上述のアクティブマトリクス基板1に設けられる光センサ用TFT9の最適な構造（本願の特徴）について、図1を参照しながら以下に説明する。なお、ここでは、アクティブマトリクス基板1に設けられるスイッチング用TFT8の構成は、従来と同様のものを用いることができるために、説明は割愛する。

【0065】

図1は、本発明の薄膜フォトトランジスタとして最適な構造の一つとしての光センサ用TFT11の概略断面図を示す。

【0066】

上記光センサ用TFT11は、図1に示すように、ガラス基板等からなる基板12上に、ゲート電極13が設けられている。このゲート電極13は、図3に示すゲート配線G1～Gnの一部、又はゲート配線G1～Gnから枝分かれした電極により構成されている。

【0067】

上記ゲート電極13は、アクティブマトリクス基板1の裏面から直接入射する光が本光センサ用TFT11のチャンネル部に入射しないよう、遮光膜の役割を兼用させるようになっているので、金属膜（Al, Ta, Mo, Tiなどの金属、厚みは0.1～0.4 μm 程度）で構成する必要がある。

【0068】

また、上記ゲート電極13の上には、ゲート絶縁膜（ SiN_x , SiO_2 などの絶縁体、厚みは0.3～0.5 μm 程度）が形成される。ゲート絶縁膜14上には、上述したチャンネル部となる感光性半導体膜としての半導体層（a-Si, poly-Siなどの半導体、厚みは0.05～0.2 μm 程度）15が形成される。

【0069】

上記半導体層15の上には、コンタクト層（n+のa-Siなどの半導体、厚み0.01～0.05 μm 程度）と、ソース電極17及びドレイン電極18を形成する。ここで、本願では、ソース電極17とドレイン電極18に、透光性の優れたITO（インジウム錫酸化物、厚みは0.1～0.3 μm 程度）を用いている。なお、上記のITOの代わりに透明導電酸化膜であれば、例えばIZO（Indium Zinc Oxide）、IGO（Indium Germanic Oxide）等の既存の透明導電酸化膜を使用することができる。また、 SnO_2 、 ZnO 、導電性有機膜でも構わない。このように既存の透明導電酸化膜を用いることができるので、ソース電極及びドレイン電極の透光性領域は、複雑な製造工程を用いるまでもなく、簡単に形成することが可能となる。

【0070】

以上のようにして、光センサ用TFT11の基本構成が完成する。

【0071】

そして、最後に光センサ用TFT11全体を覆うように保護膜（ SiN_x など）19を形成する。

【0072】

本願発明の特徴は、光センサ用TFT11のソース電極17とドレイン電極1

8に、透光性の優れた透明導電膜を用いている点である。従来では、ソース電極17とドレイン電極18に金属膜を用いると、アクティブマトリクス基板1の上側から光が照射された場合、ソース電極17とドレイン電極18が遮光膜の役割を果たすために、チャンネル部となる半導体層15に光が到達する領域は、ソース／ドレイン電極間に形成される僅かな隙間（ギャップ部20）だけである。このため、半導体層15で生成される光励起キャリアが制限され、感度を向上させることが困難であった。

【0073】

これに対して、本願の光センサ用TFT11の場合、ゲート電極13と平面的にソース電極17が重畳する重畳領域17a、あるいはゲート電極13と平面的にドレイン電極18が重畳する重畳領域18aにおいても、チャンネル部となる半導体層15に光が到達するため、その分、光励起キャリアが発生する領域を広げることが可能になる。

【0074】

この結果、従来構造の光センサ用TFTに比べて、明電流 I_p を増加させることが可能になる。一方、光が照射されない場合には、従来と同レベルの暗電流 I_d を保つことができるので、結果として、本願の光センサ用TFT11は光に対する感度（ I_p / I_d ）を向上させることが可能になる。

【0075】

ここで、本願発明の薄膜フォトトランジスタの感度特性について、図5を参照しながら以下に説明する。図5は、従来の光センサ用TFTと本願発明の薄膜フォトトランジスタとしての光センサ用TFTの感度特性を比較したグラフである。

【0076】

なお、各TFTのチャンネル部のサイズ比（ L/W ）は5/15、ドレイン電極に+10V、ソース電極をGNDの条件で、それぞれの明電流 I_p と暗電流 I_d を比較するものとする。また、明電流 I_p の測定は、照度7000luxの環境下で行なっている。

【0077】

図5に示すグラフから、両者の光センサ用TFTにおいて、暗電流 I_d には差が生じないものの、明電流 I_p は本願の光センサ用TFTの方が約2倍（ゲート-10V時）に増加する現象がみられ、本願の有効性を確認することができた。

【0078】

ところで、上記の光センサ用TFT11を採用するにあたり、TFT素子の製造プロセスを簡略化するためには、例えば図3で示したソース配線D1～Dm（格子状配線の一方）と上記光センサ用TFT11のソース・ドレイン電極を同じ層（即ち同じ材料）で形成することが好ましく、図3のソース配線D1～Dmも透明導電膜（ITO）で形成することが好ましい。ただし、大面積高精細のアクティブマトリクス基板を形成する際には、ソース配線D1～Dmの低抵抗化が求められるので、ソース配線D1～Dmに低抵抗な金属膜を用いなければならない場合もある。

【0079】

このような場合は、先ず、透明導電膜（ITOなど）と金属膜（Ta, Ti, Moなど）の積層膜でソース配線、及びソース・ドレイン電極を形成し、次に、光センサ用TFT領域のソース・ドレイン電極のみ上層の金属膜を全部あるいは一部除去する方法を採用すればよい。このようにすることで、図6や図7（a）（b）に示す光センサ用TFTとなる。

【0080】

図6は、TFT素子領域全域で、ソース電極23、ドレイン電極24が透明導電膜によって形成された状態となるように金属膜22を除去した光センサ用TFT21を示している。

【0081】

また、図7（a）（b）は、金属膜32を上層に透明導電酸化膜であるITOを下層になるように積層し、TFT素子領域において、該金属膜32に開口部32aを設けることで、ITOからなるソース電極33とドレイン電極34の一部領域を透光性にした光センサ用TFT31を示している。

【0082】

また、図8（a）（b）に示すように、透明導電膜（ITO）を使用せずに金

属膜でソース配線、及びソース電極42・ドレイン電極43を形成し、TFT素子の領域において、金属膜に開口部42a・43aを設けることで、ソース電極42・ドレイン電極43の一部領域を透光性にした光センサ用TFT41にしてもよい。

【0083】

なお、図7(a)(b)、図8(a)(b)に示す光センサ用TFTでは、金属膜に開口部を設ける場合の開口部形状は、円形やスリット形状など、特に限定されるものではなく、所望する光感度に応じて決定すればよい。

【0084】

このように、本発明の光センサ用TFTの構造は幾つか考えることができるが、上記の効果を得るための条件としては、以下の構成要素が必要となる。

【0085】

1) ゲート電極、ゲート絶縁膜、半導体膜、ソース電極、ドレイン電極を含むこと。

【0086】

2) 上記ソース電極及び上記ドレイン電極は、上記ゲート電極と平面的に重畳する重畳領域を有すること。

【0087】

3) 上記ソース電極及び／又は上記ドレイン電極は、上記重畳領域において、少なくとも一部の領域が透光性を有すること。

【0088】

従って、本願の光センサ用TFTの構造は、図1、図6、図7(a)(b)、図8(a)(b)に示した構造に限られるものではなく、上記の構成を有していればどのような構成でも同様の効果を奏する。

【0089】

なお、本実施の形態では、アクティブマトリクス基板1として、画素選択機能を有するスイッチング用TFT8と、フォトセンサ機能を有する光センサ用TFT9とを別々のTFT素子で構成していたが、本発明は、画素選択機能とフォトセンサ機能とを一つのTFT素子で実現する場合にも有効である。この例を、以

下の実施の形態 2 で述べる。

【0090】

〔実施の形態 2〕

本発明の他の実施の形態について説明すれば、以下の通りである。なお、本実施の形態では、前記実施の形態 1 と同様に、画像読み取り装置として 2 次元イメージセンサについて説明する。

【0091】

本実施の形態に係る 2 次元イメージセンサについて、図 9 を参照しながら以下に説明する。図 9 は、2 次元イメージセンサを構成するアクティブマトリクス基板 51 の回路構成を示す。

【0092】

上記アクティブマトリクス基板 51 は、図 9 に示すように、前記実施の形態 1 で説明したアクティブマトリクス基板 1 とは異なり、画素毎にスイッチング用 TFT と光センサ用 TFT を配置したものではなく、1 つの TFT 素子（薄膜トランジスタ）56 でスイッチング用 TFT と光センサ用 TFT を兼用した構造となっている。

【0093】

したがって、上記アクティブマトリクス基板 51 は、1 つの薄膜トランジスタ 56 で画素選択機能を有するスイッチング用 TFT とフォトセンサ機能を有する光センサ用 TFT とを兼用している以外の構成は、前記実施の形態 1 で示したアクティブマトリクス基板 1 とほとんど同じ構造であるので、同じ構成についての詳細な説明は省略する。

【0094】

つまり、上記アクティブマトリクス基板 51 において、駆動回路 52 は、図 3 に示す駆動回路 4 と同じ、読み出し回路 53 は、図 3 に示す読み出し回路 5 と同じ、ゲート配線 54 は、図 3 に示すゲート配線 G1 ～ Gn と同じ、ソース配線 55 は、図 3 に示すソース配線 D1 ～ Dm と同じである。なお、図 9 に示すアクティブマトリクス基板 51 では、電荷蓄積容量としての画素容量 57 に接続された容量配線 58 が設けられている。

【0095】

上記アクティブマトリクス基板51では、図9に示すように、単位画素当たり
に、機能兼用TFTである薄膜トランジスタ56と画素容量57が1つずつ配設
されている。

【0096】

上記アクティブマトリクス基板51の1画素あたりの具体的な平面レイアウト
を図10に示す。この場合も、薄膜トランジスタ56のソース電極55aとドレ
イン電極59とは、透明電極で形成されている。これにより、ゲート電極54a
と平面的に重畳しているソース電極55aとドレイン電極59の領域は、透光性
を有するようになっている。

【0097】

ここで、上記構成のアクティブマトリクス基板51の動作について、図10お
よび図11を参照しながら以下に説明する。図11は、読み出シーケンスを示す
フローチャートである。

【0098】

まず、画素容量(Cs)57をプリチャージする(ステップS1)。ここでは
、ソース配線55または容量配線58を用いて画素容量(蓄積容量)57をプリ
チャージする。なお、ソース配線55を用いてプリチャージする場合には、薄膜
トランジスタ56をONにする必要がある。

【0099】

次に、バックライト照射を行なう(ステップS2)。ここで、薄膜トランジス
タ56をオフにした状態で、バックライトユニットによって、アクティブマトリ
クス基板51に所定の期間だけ光(例えば原稿の反射光)を照射する。この結果
、図5に示したTFTの特性、即ち、光が照射された場所ではソース・ドレイン
電極間を流れる電流(明電流 I_p)が増加する特性により、プリチャージされて
いた画素容量57の電荷が放電される。一方、光が照射されない場所では、画素
容量57の電荷が維持される。ここでは、薄膜トランジスタ56を光センサ用T
FTとして利用する。

【0100】

続いて、バックライトをオフする（ステップS3）。

【0101】

そして、電荷の読出しを行なう（ステップS4）。つまり、アクティブマトリクス基板51への光照射を止め、薄膜トランジスタ56を順次オンにすることで、画素容量57に残存している電荷を読出し、画像情報の面分布を読み出す。ここでは、薄膜トランジスタ56をスイッチング用TFTとして利用する。

【0102】

ところで、本実施の形態においても、前記実施の形態1と同様に、薄膜トランジスタ（TFT素子）の製造プロセスを簡略化するためには、図9で示したソース配線55（格子状配線の一方）と上記薄膜トランジスタ56のソース・ドレイン電極とを同じ層（即ち同じ材料）で形成することが好ましく、前記実施の形態1で説明したような本願の光センサ用TFT（即ち、図1、図6、図7、図8）を採用することが好ましい。

【0103】

また、このような光センサ用TFTを備えたアクティブマトリクス基板の表面に保護膜（あるいは保護基板）を設け、アクティブマトリクス基板の裏面に面状発光体（LEDや冷陰極管から構成されるバックライト）を設置し、アクティブマトリクス基板の表面（保護膜側）に写真などの被写体原稿を密着させることで、前記実施の形態1と同様に二次元の画像読み取り装置を実現することができる。

【0104】

以上のことから、実施の形態1及び2の何れの画像読み取り装置であっても、アクティブマトリクス基板における光感度、すなわちアクティブマトリクス基板を構成する薄膜フォトトランジスタにおける光感度が高いので、アクティブマトリクス基板への光照度を低くすることができる。これにより、アクティブマトリクス基板に対して光を照射するための光照射手段であるバックライトユニットの消費電力を大幅に下げることができる。

【0105】

しかも、光感度が高くなった分だけ、電荷蓄積容量に蓄積された電荷の読み出

し速度が速くなる。

【0106】

したがって、本願発明によれば、低消費電力（バックライトが低照度）、及び高速読み取りが可能な画像読み取り装置を実現することができる。

【0107】

また、本発明によれば、薄膜フォトトランジスタの光感度が向上するので、光感度の向上を抑えた場合、薄膜フォトトランジスタのサイズを小さくすることができる。この場合、画素容量の大きさを変化させなければ、アクティブマトリクス基板において高精細化が可能となる。

【0108】

逆に、光感度の向上を抑えつつ、薄膜フォトトランジスタのサイズを小さくし、アクティブマトリクス基板における画素密度を変えなければ、画素容量のサイズを大きくすることが可能となる。

【0109】

この場合、画素容量に蓄積される電荷の量が多くなるので、該画素容量から読み出す場合の読み出し精度、すなわちアンプによる増幅を高精度で行なう必要がなくなる。したがって、より安価な低性能のアンプを使用することができる。

【0110】

また、画素容量のサイズが大きくなることで、該画素容量から読み出す信号量（電荷量）が多くなるので、アンプからの信号の S/N の向上を図ることができる。この結果、性能の低いアンプであっても十分に使用することができるので、2次元イメージセンサを低価格で提供することが可能となる。

【0111】

なお、実施の形態1及び2では、光センサ用TFTの構造としてボトムゲート型の素子について説明したが、トップゲート型の素子に適用しても構わない。また、本願の光センサ用TFTを二次元のアクティブマトリクスアレイに適用した例を示したが、一次元のセンサアレイや単独の光検出素子として、広く適用することができる。

【0112】

【発明の効果】

以上のように、本発明の薄膜フォトトランジスタは、ゲート電極上に、ゲート絶縁膜と感光性半導体膜とが順次形成され、該感光性半導体膜上に、端部同士が所定間隔で離間したソース電極及びドレイン電極が形成された薄膜フォトトランジスタにおいて、上記ソース電極及び／またはドレイン電極は、上記ゲート電極と平面的に重畳する重畳領域を有し、該重畳領域の少なくとも一部の領域が透光性を有する構成である。

【0113】

それゆえ、ソース電極及びドレイン電極のゲート電極と平面的に重畳する重畳領域の少なくとも一部の領域を透光性とすることで、ゲート電極上の光照射量が増加する。つまり、感光性半導体膜には、ソース電極とドレイン電極との端部同士に形成される隙間から照射される光に加えて、ソース電極とドレイン電極の透光性を有する領域からの光が照射されることになる。

【0114】

これにより、明電流 (I_p) をアップさせることができるので、暗電流 (I_d) との比で示される光感度 (I_p / I_d) の向上を図ることができる。

【0115】

しかも、上記構成では、ソース電極及びドレイン電極の一部が透光性を有するように形成されているだけなので、複雑な配線も必要とせず、また、既存の薄膜トランジスタの製造プロセスをそのまま使用することが可能となる。

【0116】

よって、上記構成の薄膜フォトトランジスタによれば、製造プロセスが複雑にならず、配線レイアウトも複雑にならないで、光感度 (I_p / I_d) の向上を図ることができるという効果を奏する。

【0117】

また、従来と同じ光感度でよい場合には、薄膜フォトトランジスタ自体を小さくすることが可能となるので、例えば、該薄膜フォトトランジスタを用いたアクティブマトリクス基板の画素密度を大きくすることができる。つまり、アクティブマトリクス基板の高精細化を可能とすることができる。

【0118】

また、上記ソース電極及び／またはドレイン電極の透光性領域を、透明導電酸化膜によって形成してもよい。

【0119】

しかも、ソース電極に繋がるソース配線及び／またはドレイン電極に繋がるドレイン配線を透明導電酸化膜によって形成することにより、薄膜フォトトランジスタの製造プロセスにおいて、ソース配線及びドレイン配線の材料を透明導電酸化膜にすればよいので、さらに、簡単に透光性領域を形成することができるという効果を奏する。

【0120】

また、上記ソース電極及び／またはドレイン電極が、金属膜で形成され、上記透光性領域を、上記金属膜に開口部を設けることにより形成するようにしてもよい。

【0121】

この場合、ソース電極及び／またはドレイン電極が金属膜で形成されていることで、ソース電極も繋がるソース配線及び／またはドレイン電極に繋がるドレイン配線を同じ金属膜で形成すれば、既存の薄膜トランジスタの製造プロセスをそのまま使用することができるという効果を奏する。

【0122】

また、金属膜に設ける開口部の大きさは、薄膜フォトトランジスタが必要とする光感度、すなわち明電流の大きさとなるように設定すればよい。

【0123】

上記の薄膜フォトトランジスタを用いたアクティブマトリクス基板としては、以下の2種類のアクティブマトリクス基板が考えられる。

【0124】

すなわち、本発明のアクティブマトリクス基板は、以上のように、格子状の電気配線と、該格子毎に設けられ、該電気配線に接続されたスイッチング用薄膜トランジスタと、該スイッチング用薄膜トランジスタに接続されたフォトセンサ用薄膜トランジスタとを備えたアクティブマトリクス基板において、上記フォトセ

ンサ用薄膜トランジスタに、上述の薄膜フォトトランジスタが使用されている構成である。

【0125】

また、本発明のアクティブマトリクス基板は、以上のように、格子状の電気配線と、該格子毎に設けられ、該電気配線に接続された薄膜トランジスタを備え、該薄膜トランジスタがスイッチング機能とフォトセンサ機能とを兼用しているアクティブマトリクス基板において、上記薄膜トランジスタに、上述の薄膜フォトトランジスタが使用されている構成である。

【0126】

それゆえ、薄膜トランジスタにおける明電流をアップさせることができるので、該薄膜トランジスタの明電流 (I_p) と暗電流 (I_d) との比で示される光感度 (I_p / I_d) を向上させることができる。

【0127】

上記薄膜トランジスタは、明電流をアップさせるために、ソース電極及び／またはドレイン電極の少なくとも一部の領域が透光性を有するようになっているだけなので、該フォトセンサ用薄膜トランジスタの配線パターン及び製造プロセスは複雑にならない。

【0128】

したがって、このフォトセンサ用薄膜トランジスタを用いれば、簡単な構成で、光感度をアップさせることのできるアクティブマトリクス基板を提供することが可能となるという効果を奏する。

【0129】

上記薄膜フォトトランジスタのドレイン電極に電荷蓄積容量が接続されているもよい。

【0130】

この場合、薄膜フォトトランジスタの光感度が向上しているので、光照射された際の蓄積容量の充電（又は放電）に関わる時定数を短くすることができるので、読み取りのスピードアップを図ることができる。

【0131】

また、上記薄膜フォトトランジスタは、光感度を従来と同じにした場合、サイズを小さくすることができるので、アクティブマトリクス基板の大きさを変えなければ、この薄膜トランジスタのドレイン電極に接続されている電荷蓄積容量のサイズを大きくすることができる。

【0132】

これにより、電荷蓄積容量に蓄積される電荷量が多くなるので、該電荷蓄積容量から読み出した電荷を増幅させるためのアンプに、高精度のアンプを用いる必要がなくなるという効果を奏する。

【0133】

上記アクティブマトリクス基板の格子状の電気配線のうち、上記薄膜フォトトランジスタのソース電極に接続されている配線を、透明導電酸化膜で構成し、且つ、上記ソース電極と同じ層に形成してもよい。

【0134】

この場合、透光性を有するソース電極と、該ソース電極に接続されているソース配線を同時に形成することができるので、製造プロセスの簡略化を図ることができるという効果を奏する。

【0135】

また、上記格子状の電気配線のうち、上記薄膜フォトトランジスタのソース電極に接続されている配線は、透明導電酸化膜と金属膜の積層膜から構成され、且つ、上記透明導電酸化膜を、上記ソース電極と同じ層に形成してもよい。

【0136】

この場合、ソース配線自体は金属膜で形成されていることになるので、ソース配線自体が透明導電酸化膜で形成されている場合よりも配線抵抗を低くすることが可能となり、この結果、アクティブマトリクス基板の大型化、高精細化にも対応することが可能となるという効果を奏する。

【0137】

また、上記アクティブマトリクス基板は、2次元画像を読み取る画像読み取り装置に使用される。

【0138】

この場合、画像読み取り装置は、本発明のアクティブマトリクス基板を備えたことになるので、画像読み取り感度の向上を図ることができるという効果を奏する。

【0139】

上記アクティブマトリクス基板の画像読み取り面とは反対側の面に、該アクティブマトリクス基板に対して光照射を行なう光照射手段を設けてもよい。

【0140】

この場合、アクティブマトリクス基板に備えられている薄膜フォトトランジスタは光感度がよいので、画像読み取りに必要な上記光照射手段による光照度を低くすることができる。つまり、光照射手段の消費電力を低減することができ、この結果、画像読み取り装置全体の消費電力の低減を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一例の薄膜フォトトランジスタの概略構成断面図である。

【図2】

図1に示す薄膜フォトトランジスタを備えた画像読み取り装置の概略斜視図である。

【図3】

図1に示す薄膜フォトトランジスタを有するアクティブマトリクス基板の概略ブロック図である。

【図4】

図2に示す画像読み取り装置におけるパネル構造を示す概略断面図である。

【図5】

本発明の薄膜フォトトランジスタの感度比較を説明するグラフである。

【図6】

本発明の他の例の薄膜フォトトランジスタの概略構成断面図である。

【図7】

本発明のさらに他の例の薄膜フォトトランジスタを示し、(a)は概略構成断

面図、（b）は概略平面図である。

【図 8】

本発明のさらに他の例の薄膜フォトランジスタを示し、（a）は概略構成断面図、（b）は概略平面図である。

【図 9】

本発明の他の例のアクティブマトリクス基板の概略ブロック図である。

【図 1 0】

図 9 に示すアクティブマトリクス基板の画素構成を示す図である。

【図 1 1】

図 9 に示すアクティブマトリクス基板を備えた画像読み取り装置の画像読出し動作の流れを示すフローチャートである。

【図 1 2】

従来の光センサ用 T F T とスイッチング用 T F T とを備えたアクティブマトリクス基板の概略ブロック図である。

【図 1 3】

図 1 2 に示すアクティブマトリクス基板の画素構成を示す概略断面図である。

【図 1 4】

従来の光センサ用 T F T の概略構成断面図である。

【符号の説明】

- 1 アクティブマトリクス基板
- 2 駆動 I C
- 3 読み出し I C
- 4 駆動回路
- 5 読み出し回路
- 6 バックライトユニット
- 7 保護膜
- 8 スイッチング用 T F T （スイッチング用薄膜トランジスタ）
- 9 光センサ用 T F T （フォトセンサ用薄膜トランジスタ）
- 1 0 画素容量（電荷蓄積容量）

- 1 1 光センサ用 T F T (フォトセンサ用薄膜トランジスタ)
- 1 2 基板
- 1 3 ゲート電極
- 1 4 ゲート絶縁膜
- 1 5 半導体層 (感光性半導体膜)
- 1 6 コンタクト層
- 1 7 ソース電極
- 1 7 a 重畳領域
- 1 8 ドレイン電極
- 1 8 a 重畳領域
- 1 9 保護膜
- 2 1 光センサ用 T F T (フォトセンサ用薄膜トランジスタ)
- 2 2 金属膜
- 2 3 ソース電極
- 2 4 ドレイン電極
- 3 1 光センサ用 T F T (フォトセンサ用薄膜トランジスタ)
- 3 2 金属膜
- 3 2 a 開口部
- 3 3 ソース電極
- 3 4 ドレイン電極
- 4 1 光センサ用 T F T (フォトセンサ用薄膜トランジスタ)
- 4 2 ドレイン電極
- 4 2 a 開口部
- 4 3 ソース電極
- 4 3 a 開口部
- 5 1 アクティブマトリクス基板
- 5 2 駆動回路
- 5 3 読み出し回路
- 5 4 ゲート配線 (電気配線)

5 4 a ゲート電極

5 5 ソース配線（電気配線）

5 5 a ソース電極

5 6 薄膜トランジスタ

5 7 画素容量（電荷蓄積容量）

5 8 容量配線

5 9 ドレイン電極

D 原稿

D 1 ～ D m ソース配線

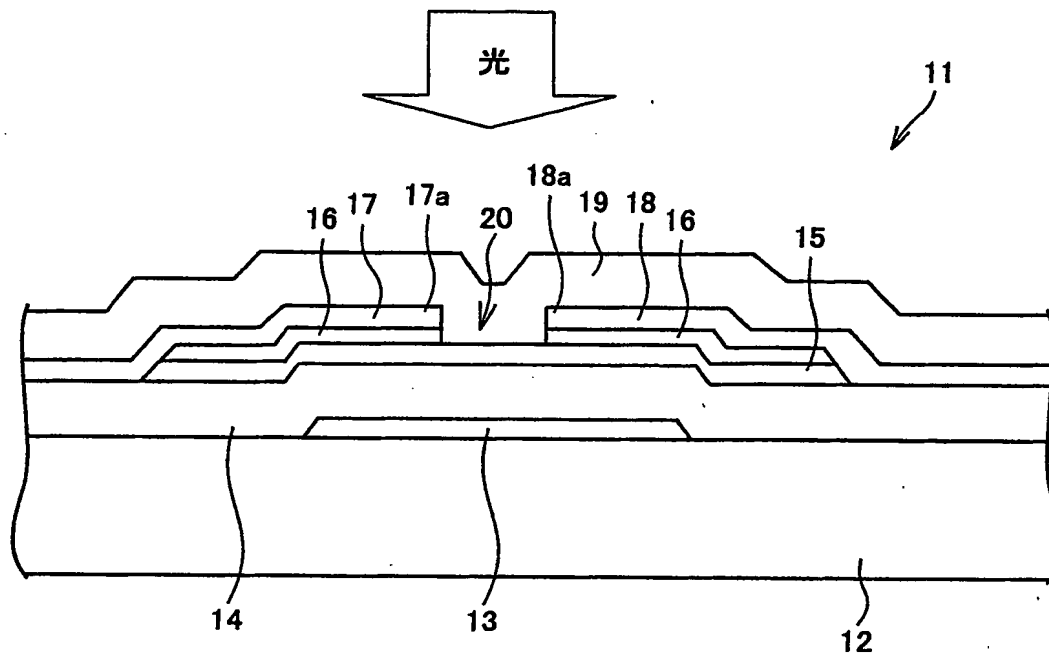
G 1 ～ G n ゲート配線

I d 暗電流

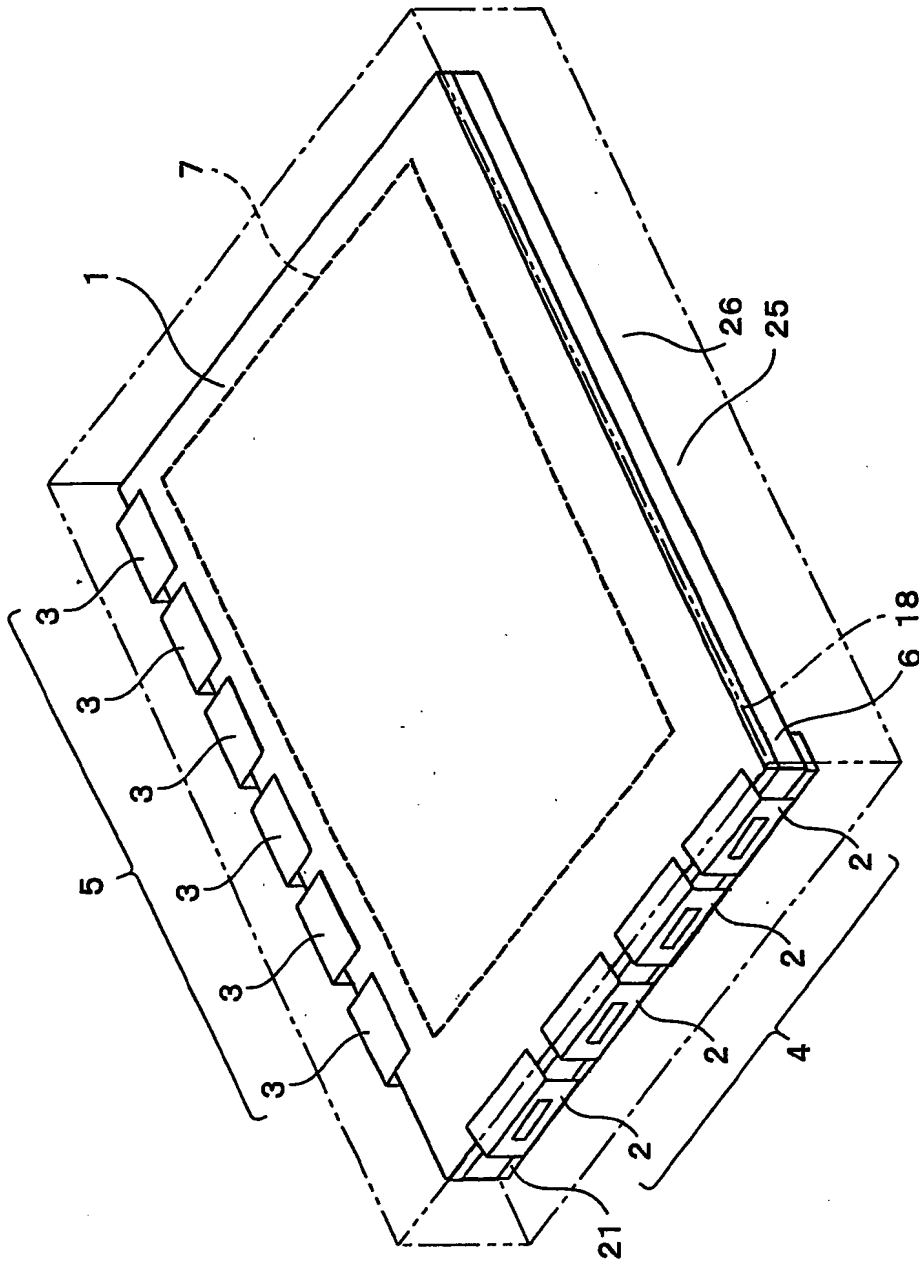
I p 明電流

【書類名】 図面

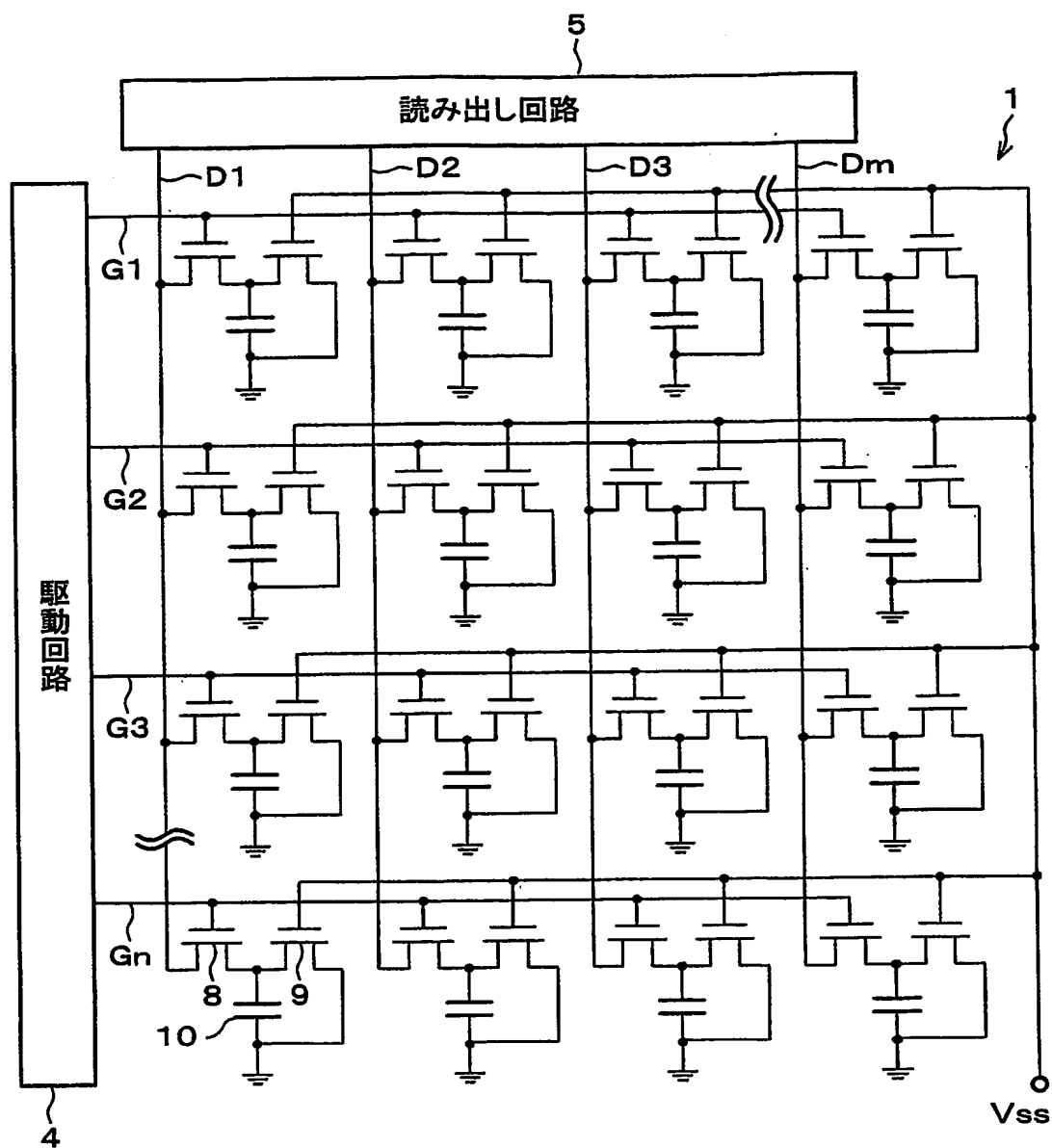
【図1】



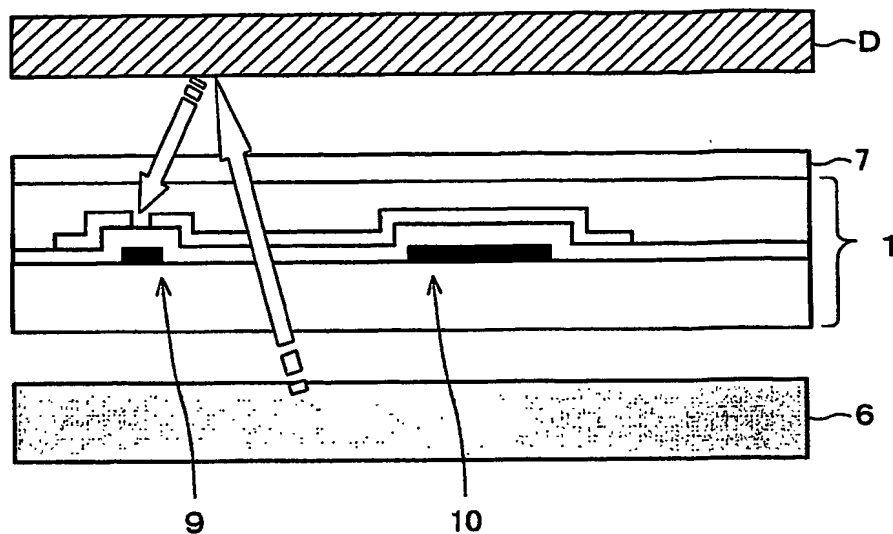
【図 2】



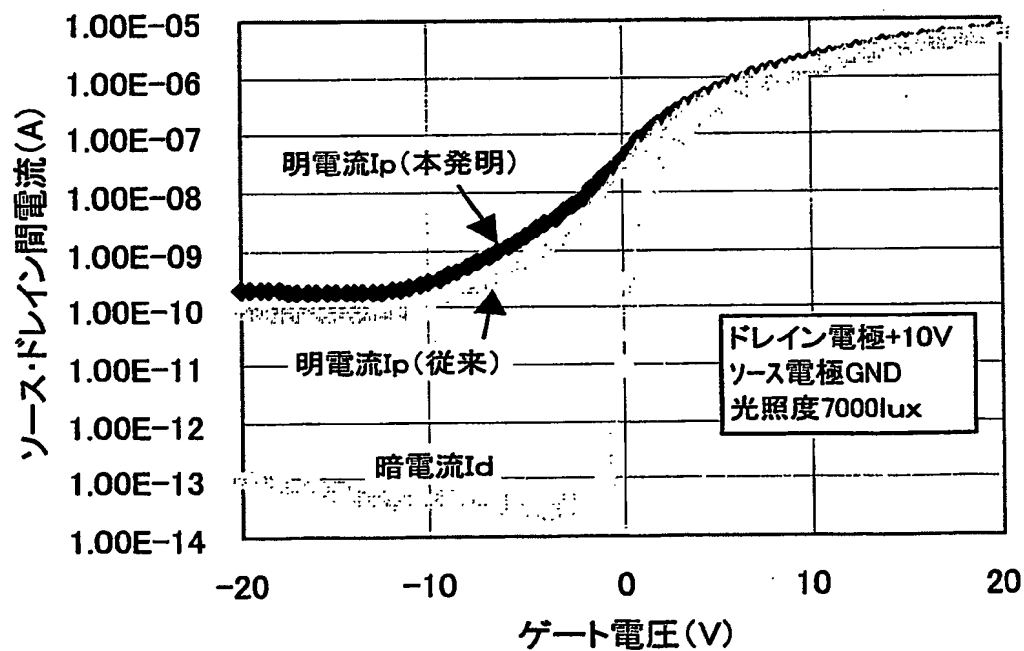
【図3】



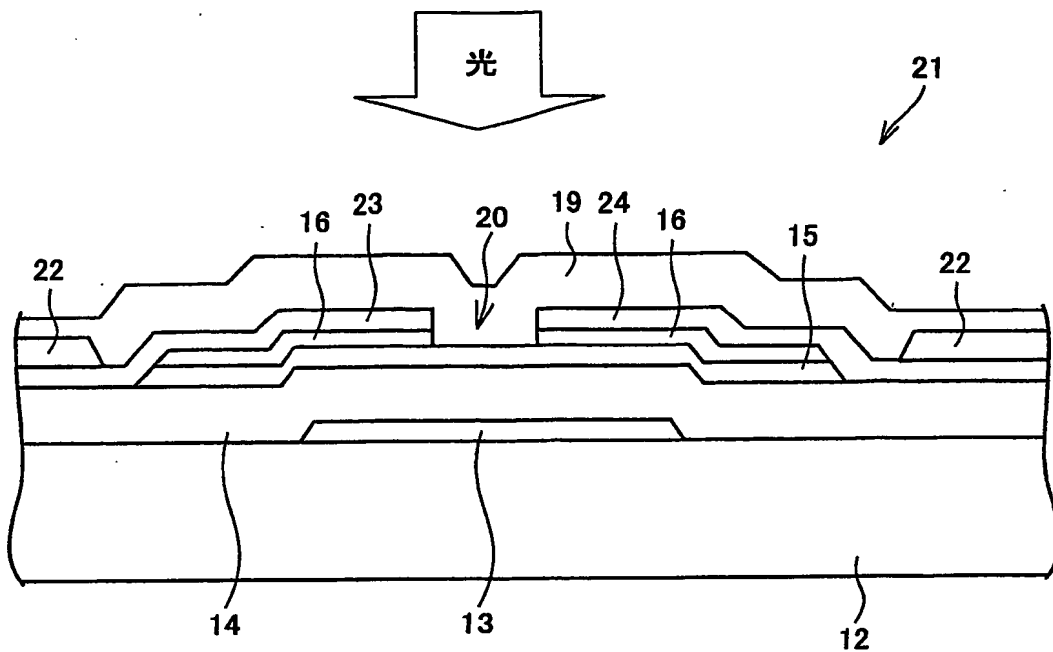
【図 4】



【図 5】

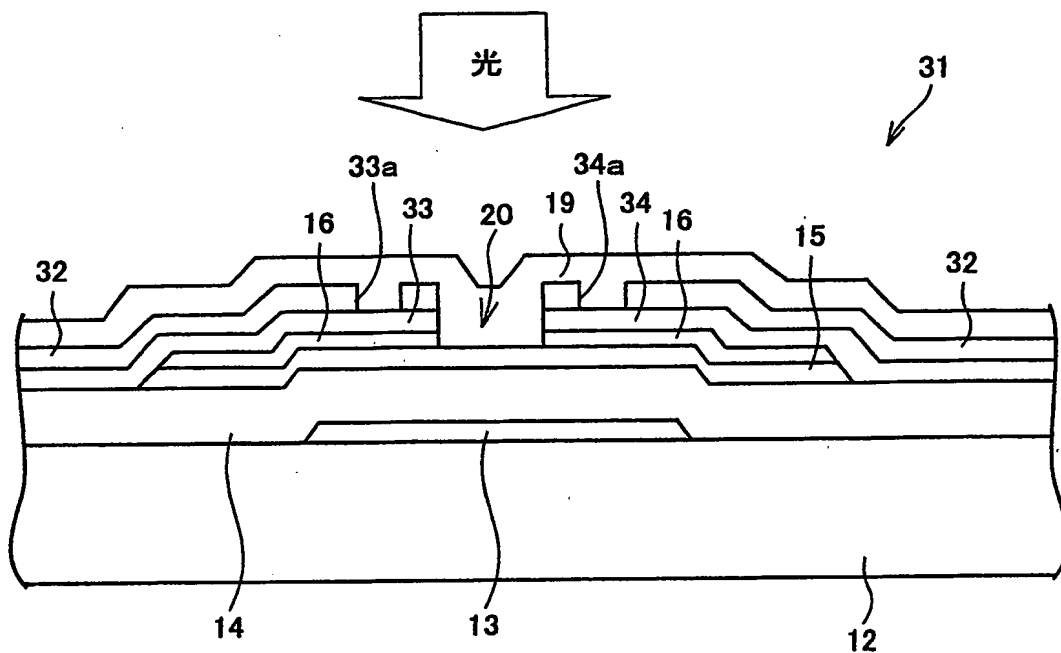


【図6】

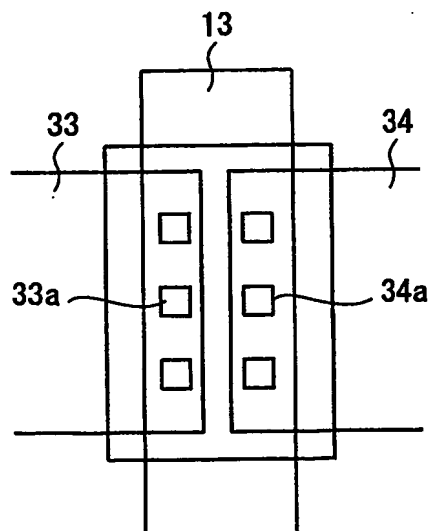


【図 7】

(a)

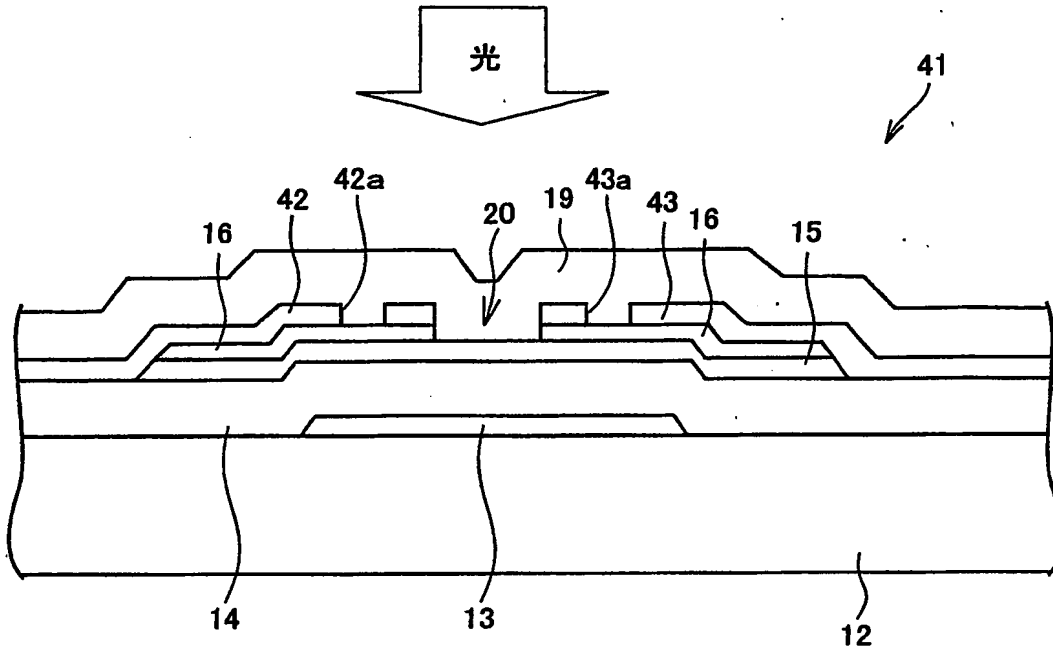


(b)

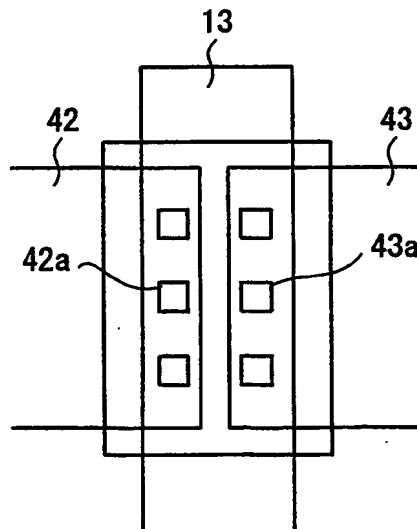


【図8】

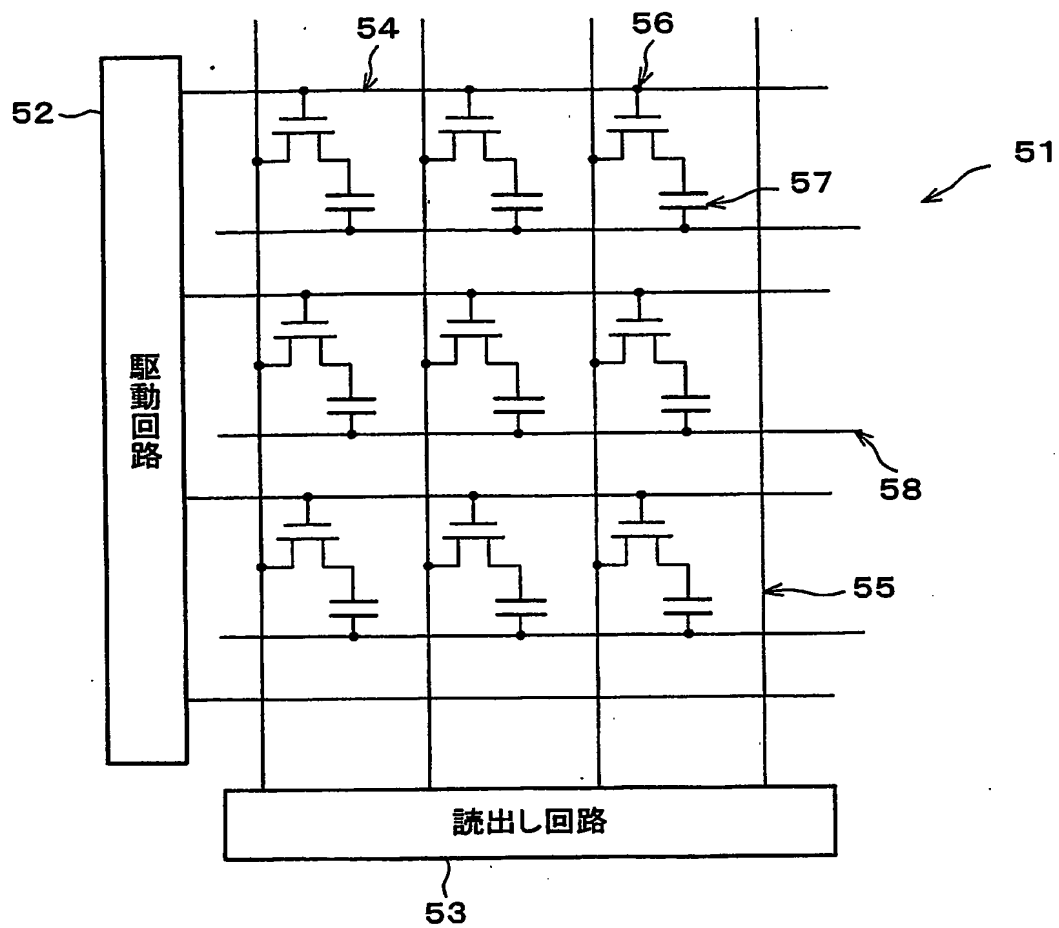
(a)



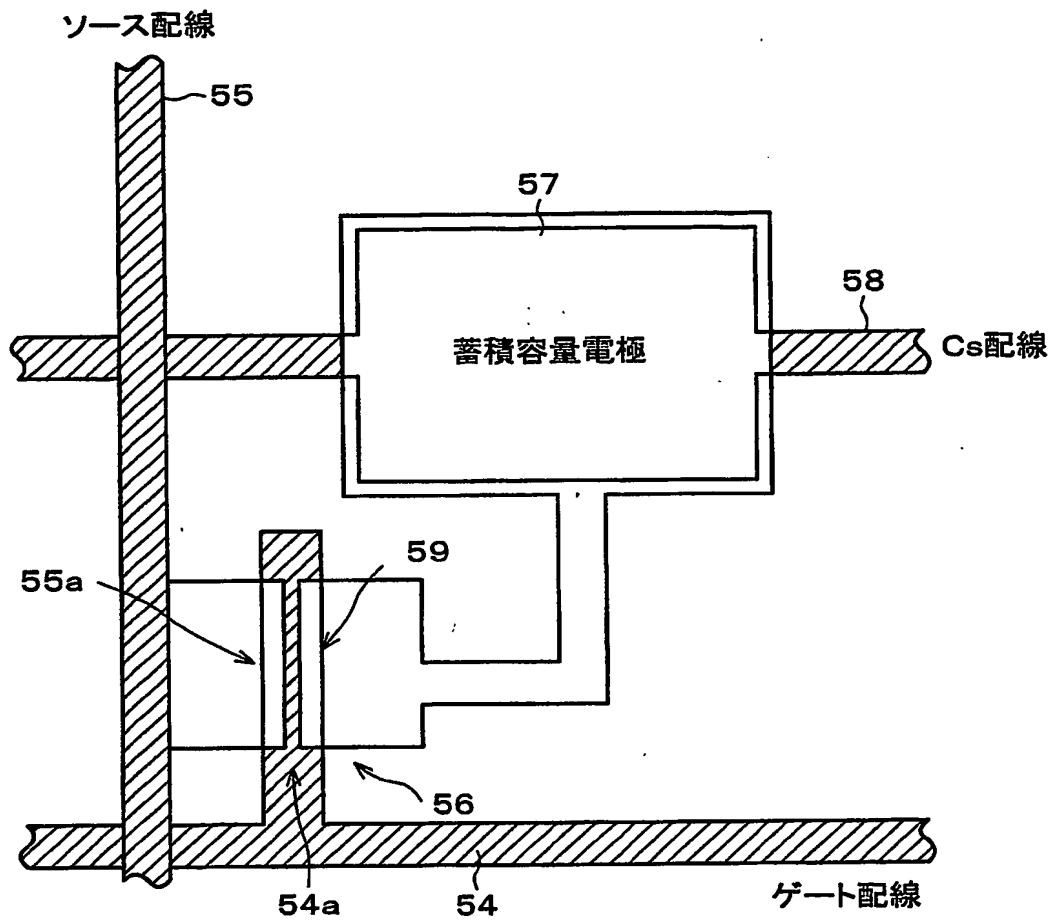
(b)



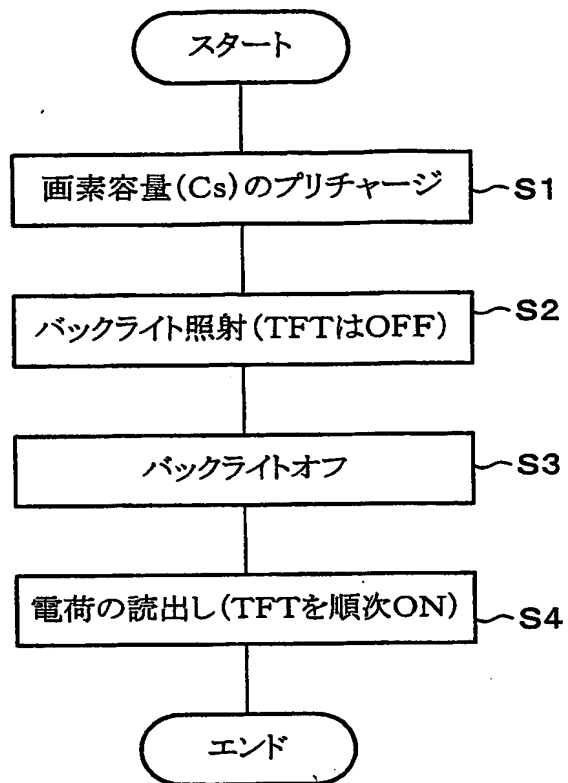
【図9】



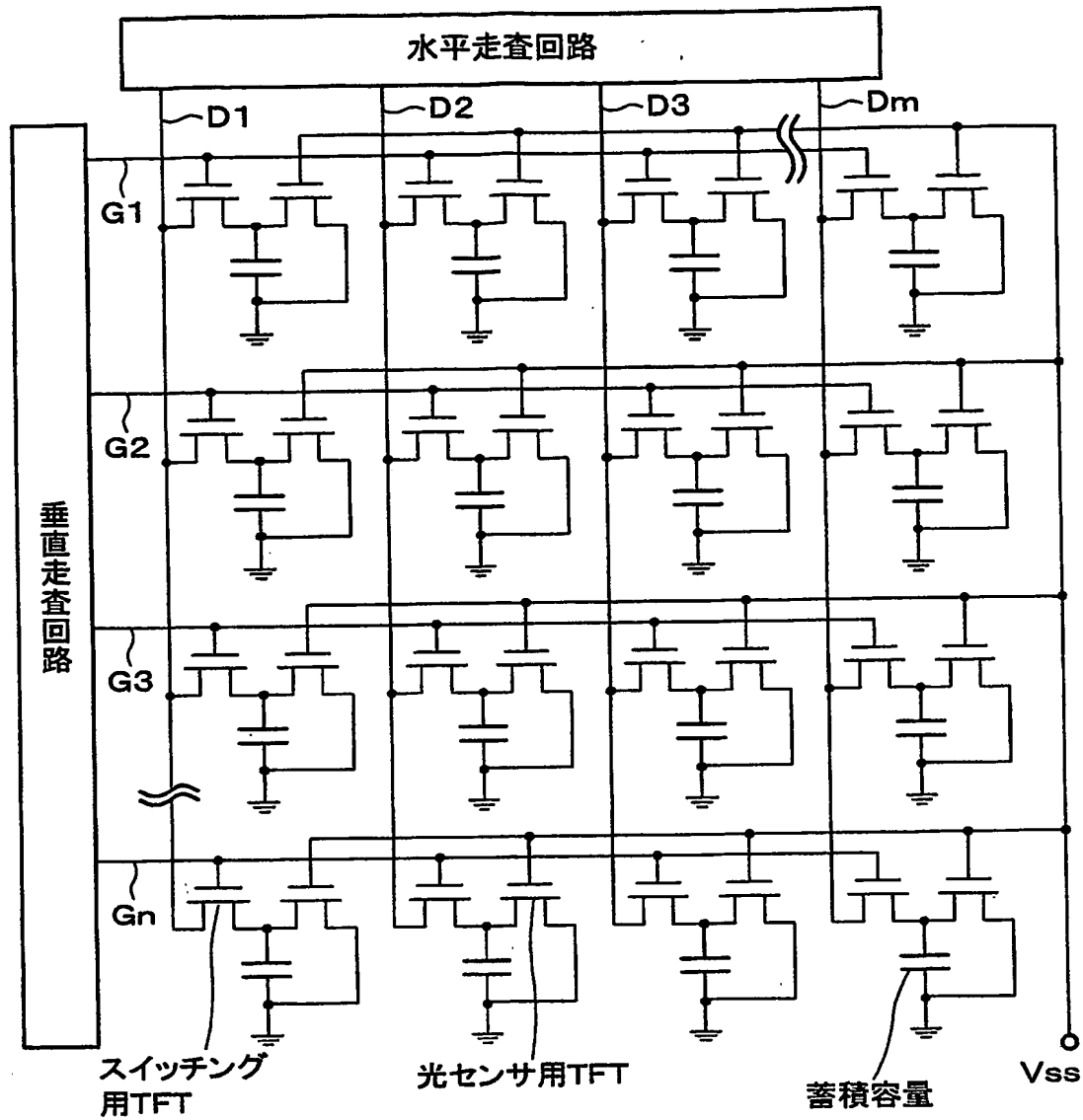
【図10】



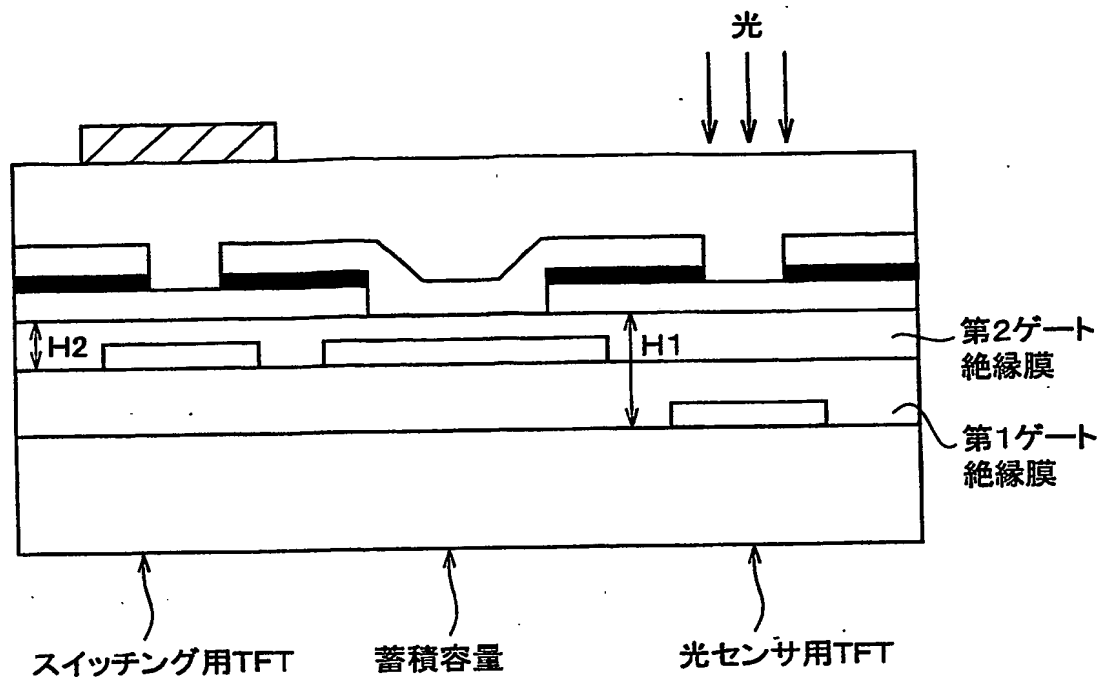
【図11】



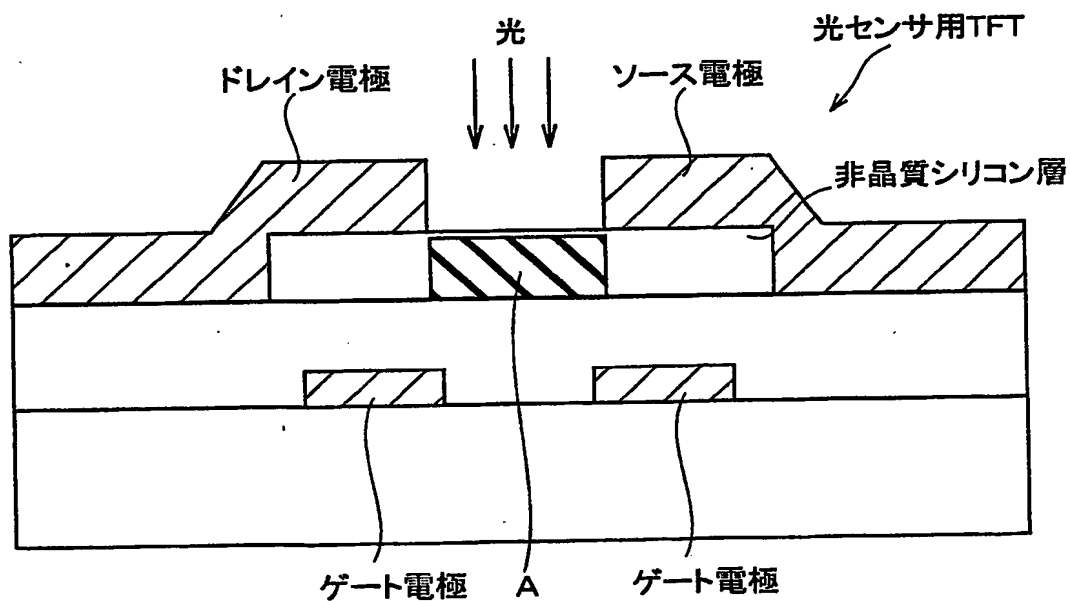
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 製造プロセスが複雑にならず、配線レイアウトも複雑にならないで、光感度 (I_p / I_d) の向上を図ることができる薄膜フォトランジスタを提供する。

【解決手段】 ゲート電極 13 上に、ゲート絶縁膜 14 と半導体層 15 とが順次形成され、該半導体層 15 上に、端部同士が所定間隔で離間したソース電極 17 及びドレイン電極 18 が形成される。上記ソース電極 17 及びドレイン電極 18 は、上記ゲート電極 13 と平面的に重畳する重畳領域 17a、18a を有し、該重量領域 17a、18a の少なくとも一部の領域が透光性を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社